

L'Organizzazione della Memoria: le memorie ad accesso casuale

Matteo Sonza Reorda

Politecnico di Torino
Dip. di Automatica e Informatica

1

M. Sonza Reorda - a.a. 2001/2002

Sommario

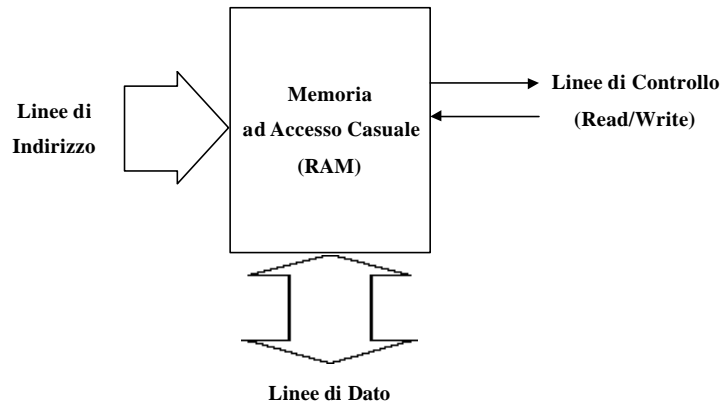
- **Caratteristiche Generali**
- **Memorie a Semiconduttore**
- **Progetto di una RAM**
- **Esempio di RAM dinamica: Intel 2186**

2

M. Sonza Reorda - a.a. 2001/2002

Caratteristiche Generali

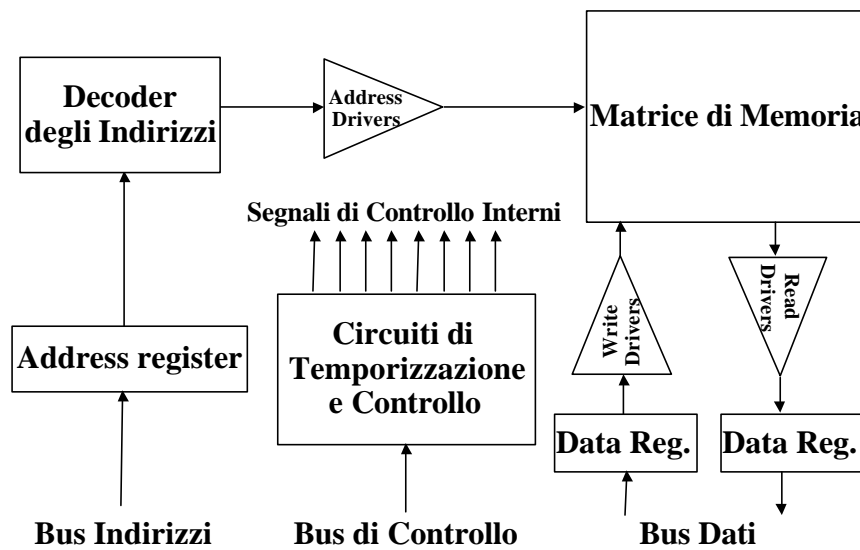
- Ogni cella può essere indirizzata indipendentemente.
- I tempi di accesso sono uguali e costanti per ogni cella.



3

M. Senza Reorda - a.a. 2001/2002

Architettura



4

M. Senza Reorda - a.a. 2001/2002

Organizzazione

Il costo di una RAM dipende anche dalla complessità dei dispositivi di accesso. Questa può essere ridotta tramite una opportuna organizzazione delle celle di memoria.

Si hanno due tipologie principali:

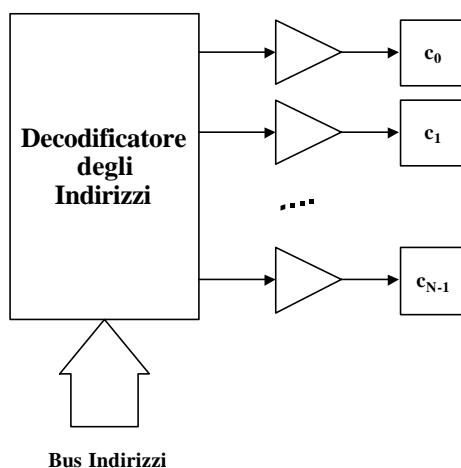
- organizzazione a *vettore*
- organizzazione a *matrice bidimensionale*.

La regolarità nell'organizzazione delle celle di memoria influenza pesantemente anche il costo del layout.

5

M. Sonza Reorda - a.a. 2001/2002

Organizzazione a vettore



Costo della circuiteria di accesso:

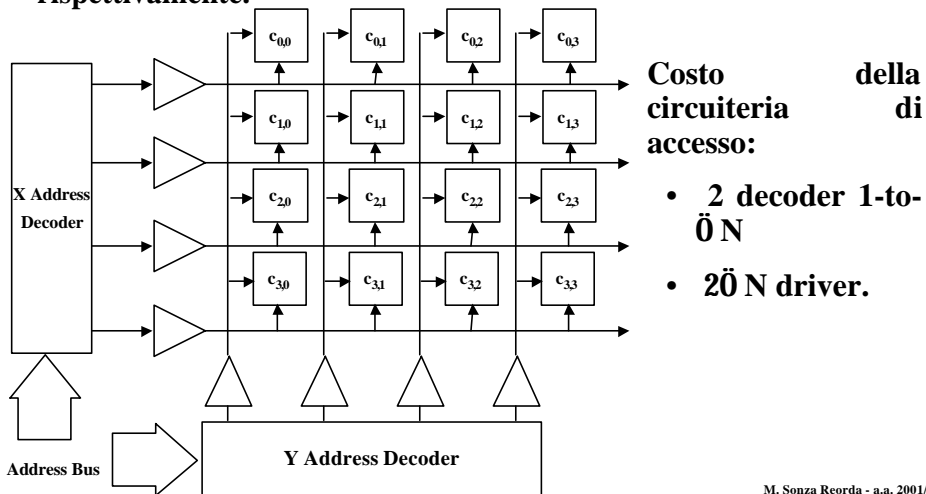
- 1 decoder 1-to-N
- N driver.

6

M. Sonza Reorda - a.a. 2001/2002

Organizzazione a matrice

L'indirizzo è suddiviso in 2 parti a_x e a_y , che selezionano la riga e la colonna in cui si trova la cella di memoria, rispettivamente.



7

M. Sonza Reorda - a.a. 2001/2002

Segnali RAS e CAS

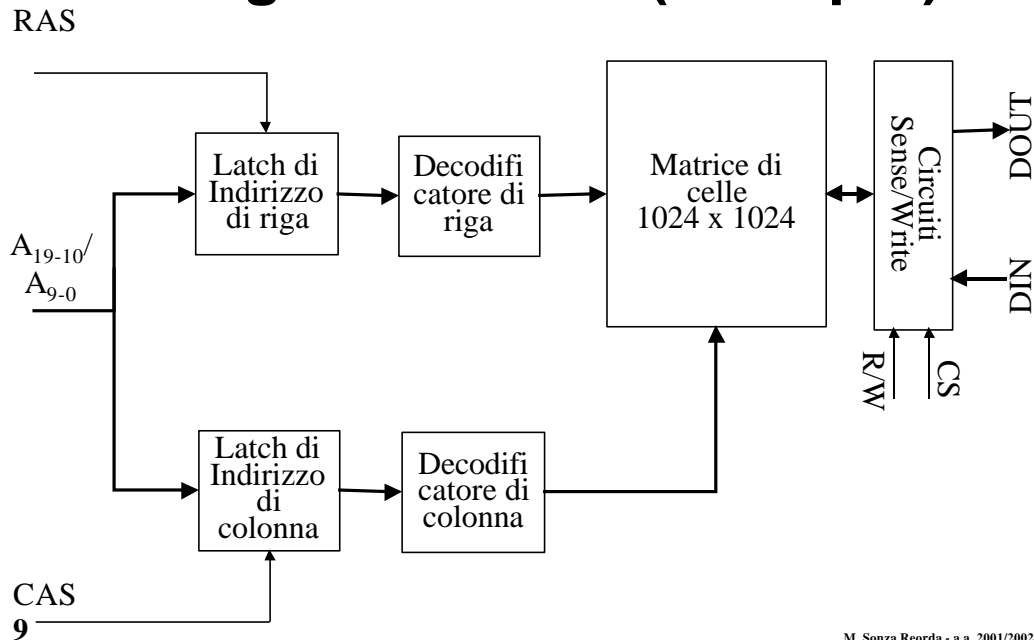
Per ridurre il numero di pin, le RAM organizzate a matrice talvolta prevedono che i bit di indirizzo vengano forniti in due fasi:

- in una fase vengono forniti i segnali che vanno al decodificatore di riga, accompagnati dal segnale RAS (*Row Address Strobe*)
- in un'altra fase vengono forniti i segnali che vanno al decodificatore di colonna, accompagnati dal segnale CAS (*Column Address Strobe*).

8

M. Sonza Reorda - a.a. 2001/2002

Organizzazione (esempio)



M. Sonza Reorda - a.a. 2001/2002

Usi particolari di RAS e CAS

Qualora sia necessario accedere consecutivamente a celle poste ad indirizzi successivi, e queste risiedano nella stessa riga della matrice, è possibile procedere come segue:

- 1 si invia alla memoria la parte di indirizzo relativo alla riga
- 2 si invia alla memoria la parte di indirizzo relativo alla colonna
- 3 si accede al dato
- 4 si ripete dal punto 2.

In questa maniera è possibile ridurre i tempi di accesso alla memoria.

Memorie a Semiconduttore

Sono oggi il tipo dominante, in quanto la tecnologia ne permette una forte integrazione su IC.

11

M. Sonza Reorda - a.a. 2001/2002

Classificazione

- ROM (*Read Only Memory*)
- PROM (*Programmable Read Only Memory*)
- EPROM (*Electrically Programmable Read Only Memory*)
- EEPROM (*Electrically Erasable Programmable Read Only Memory*)
- Flash
- RAM.

12

M. Sonza Reorda - a.a. 2001/2002

ROM

Applicazioni:

- librerie di procedure frequentemente usate
- programmi di sistema
- tavole di funzioni.

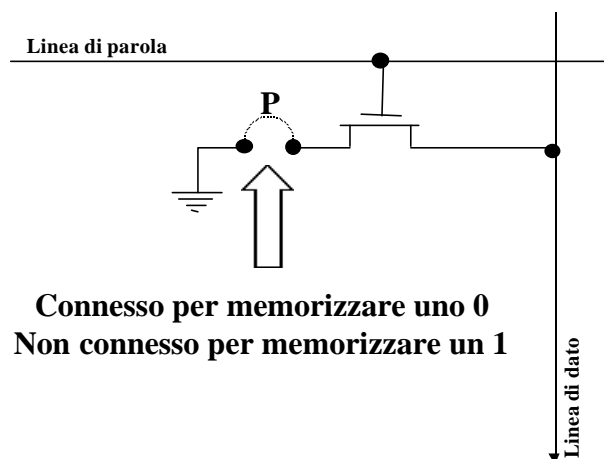
Il costo è quasi indipendente dal numero di chip prodotti.

L'impatto di qualsiasi errore di progetto è drammatico.

13

M. Sonza Reorda - a.a. 2001/2002

Cella ROM



14

M. Sonza Reorda - a.a. 2001/2002

PROM

La scrittura è eseguita a valle del processo di produzione tramite speciali attrezzature denominate *programmatori*.

Fisicamente, sono realizzate ponendo nel punto P del disegno precedente un diodo, che può essere *bruciato* durante la programmazione.

La scrittura può avvenire una volta sola.

La PROM è non volatile.

Sono preferibili alle ROM per bassi volumi.

15

M. Sonza Reorda - a.a. 2001/2002

EPROM

Possono essere riprogrammate, previa precedente cancellazione tramite esposizione prolungata (~20 min) a luce ultravioletta.

La scrittura può avvenire un numero indefinito di volte.

La scrittura può avvenire anche dopo il montaggio sulla scheda.

Sono più costose delle PROM.

16

M. Sonza Reorda - a.a. 2001/2002

EEPROM

Le EEPROM (o E²PROM) possono essere riprogrammate byte per byte anche dopo il montaggio sulla scheda, ma l'operazione richiede più tempo di quella di lettura (centinaia di ms).

La scrittura può essere eseguita tramite i normali canali (bus) e segnali.

Sono più costose e meno dense delle EPROM.

17

M. Senza Reorda - a.a. 2001/2002

Flash

Hanno tempi di scrittura minori delle EEPROM, ma sono riprogrammabili solo a blocchi.

Il costo è intermedio tra quello di EPROM ed EEPROM.

Usano un solo transistor per bit, e sono quindi relativamente dense.

18

M. Senza Reorda - a.a. 2001/2002

Sintesi

<u>Tipo</u>	<u>Categoria</u>	<u>Cancellazione</u>	<u>Scrittura</u>	<u>Volatilità</u>
RAM	read/write	elettricamente	elettricamente	volatile
ROM	read-only	impossibile	maschere	non-volatile
PROM	read-only	impossibile	elettricamente	non-volatile
EPROM	read-mostly	luce UV	elettricamente	non-volatile
Flash	read-mostly	elettricamente	elettricamente	non-volatile
EEPROM	read-mostly	elettricamente	elettricamente	non-volatile

RAM

Sono di 2 tipi:

- memorie *statiche*:
 - la singola cella corrisponde ad un flip flop
- memorie *dinamiche*:
 - la singola cella corrisponde ad un condensatore e ad un transistor;
 - l'informazione è memorizzata sotto forma di carica del condensatore;
 - richiedono un rinfresco periodico dell'informazione
 - la lettura è di tipo distruttivo (*Destructive Read-Out*).

RAM statiche e RAM dinamiche

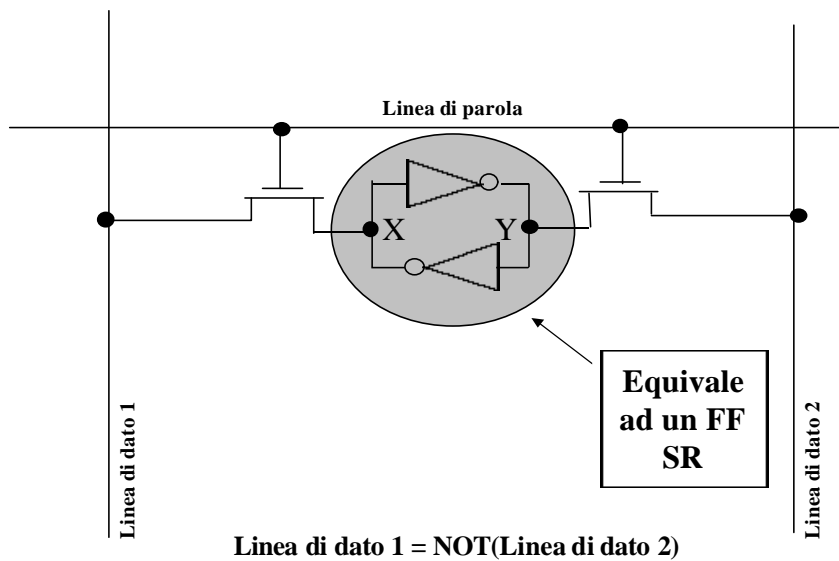
Le RAM statiche sono (rispetto a quelle dinamiche):

- più veloci
- più costose (in termini di area di silicio richiesta)
- più semplici da utilizzare
- più affidabili.

21

M. Sonza Reorda - a.a. 2001/2002

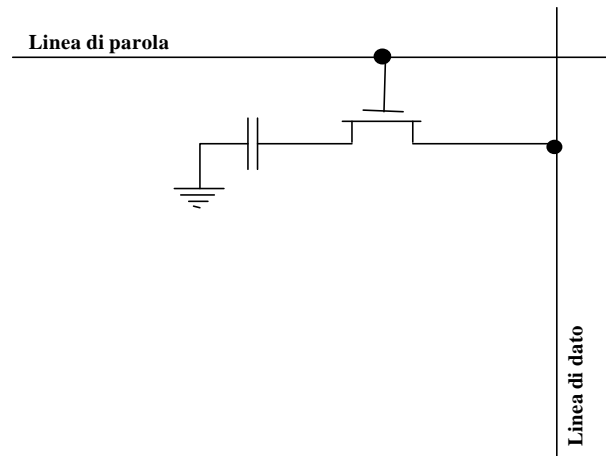
Cella di RAM Statica



22

M. Sonza Reorda - a.a. 2001/2002

Cella di RAM dinamica



25

M. Sonza Reorda - a.a. 2001/2002

Rinfresco

Consiste nell'operazione di amplificazione (verso 0 o verso 1) del valore contenuto nel condensatore, che tende a 0 per la tendenza del condensatore a scaricarsi.

È indispensabile per poter mantenere indefinitamente il contenuto di ciascuna cella di DRAM.

Le operazioni di rinfresco occupano una RAM per tempi molto brevi (dell'ordine di qualche %).

26

M. Sonza Reorda - a.a. 2001/2002

Circuiteria per il rinfresco

In passato doveva venir gestito da circuiteria apposita esterna ai chip di DRAM. Attualmente è quasi sempre realizzato da circuiteria interna.

Le operazioni di rinfresco (prioritarie) e quelle di accesso normale possono competere. Se necessario l'operazione normale viene sospesa.

La circuiteria per il rinfresco utilizza parte della circuiteria interna già esistente.

27

M. Sonza Reorda - a.a. 2001/2002

Affidabilità

- Se una cella di memoria dinamica viene colpita da una particella carica è possibile che la carica immagazzinata cambi, facendo cambiare il valore memorizzato.
- Al crescere della densità di integrazione, la dimensione della carica immagazzinata in ciascuna cella tende a diminuire in maniera significativa, rendendo quindi la memoria sempre più sensibile (e meno affidabile).
- Molte memorie dinamiche sono per questo protette, ad esempio tramite l'uso di codici di protezione.

28

M. Sonza Reorda - a.a. 2001/2002

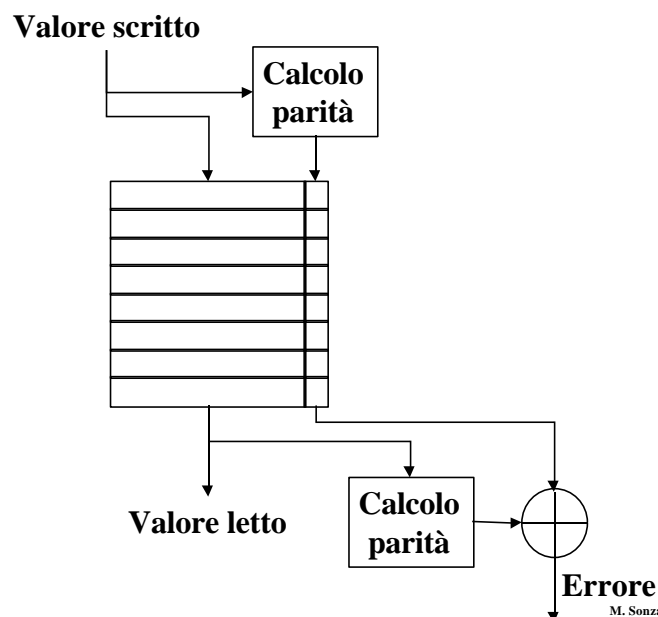
Codice di protezione

- Per aumentare l'affidabilità delle memorie, a ciascuna parola può essere associato un codice di protezione.
- Il caso più semplice di codice di protezione è il *codice di parità*.
- Funzionamento:
 - Quando si scrive un valore nella parola, si calcola il relativo bit di parità, e lo si memorizza insieme al nuovo valore.
 - Quando si legge la parola, si calcola il codice di parità associato al valore letto, e lo si confronta con quello memorizzato.
 - In caso di diversità, si invia una segnalazione di errore.

29

M. Sonza Reorda - a.a. 2001/2002

Codice di parità



30

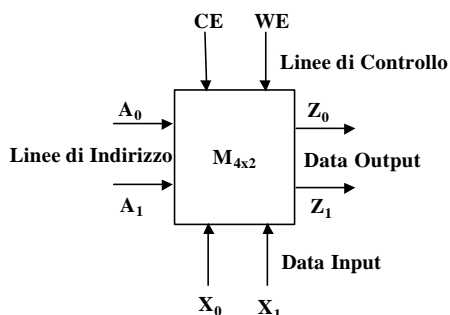
M. Sonza Reorda - a.a. 2001/2002

Progetto di una RAM

Il progetto di una RAM viene fatto normalmente utilizzando chip di dimensioni minori; questi vengono composti aggiungendo la circuiteria necessaria.

Esempio

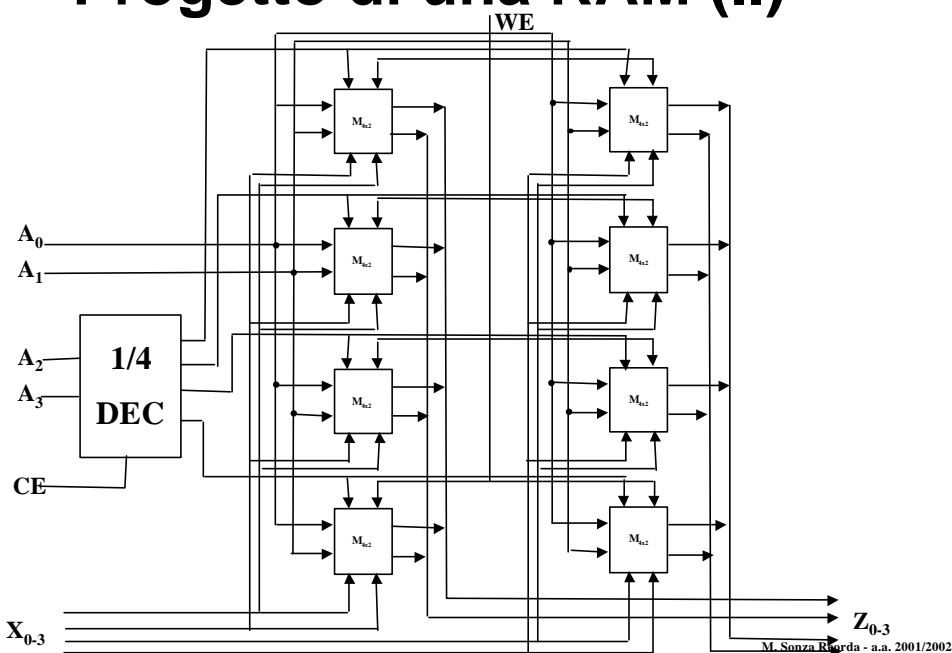
Si deve progettare una RAM 16x4 bit utilizzando il seguente chip contenente 4x2 bit:



31

M. Sonza Reorda - a.a. 2001/2002

Progetto di una RAM (II)



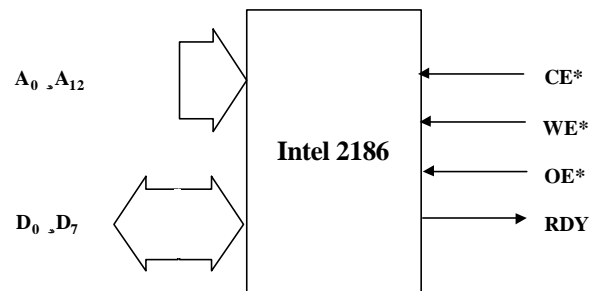
32

M. Sonza Reorda - a.a. 2001/2002

Esempio di RAM dinamica: Intel 2186

Il chip Intel 2186 (introdotto nel 1983) contiene una RAM dinamica da 64Kbit.

Esternamente il chip è un DIP da 28 pin.



33

M. Sonza Reorda - a.a. 2001/2002

Intel 2186: caratteristiche

La memoria è organizzata in 8K celle da un byte, ciascuna composta da un transistor ed un condensatore.

Le celle sono organizzate in una matrice di 128 righe e 64 colonne.

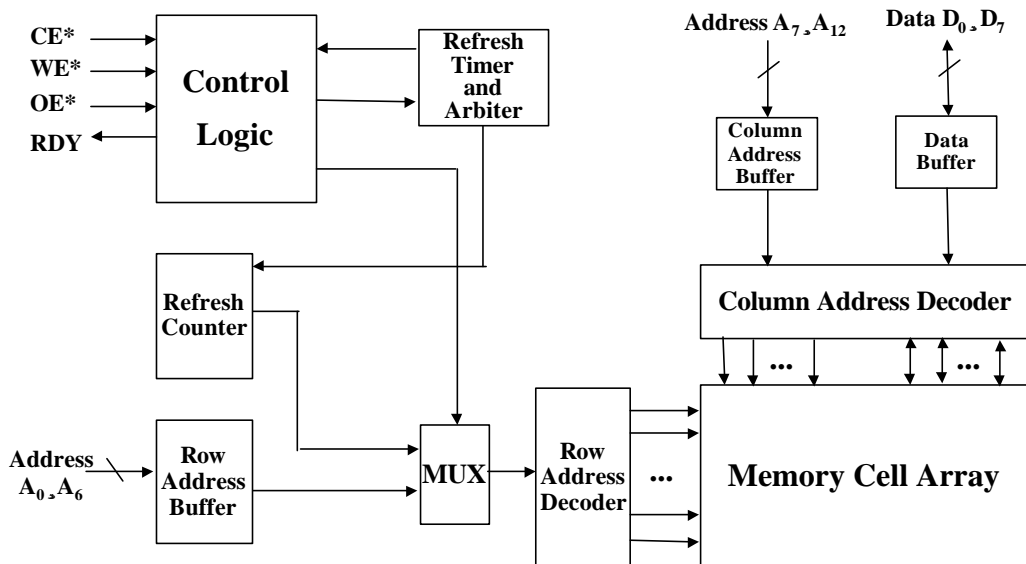
Il dispositivo contiene anche la logica necessaria per il rinfresco, che deve avvenire al più ogni 2ms.

I tempi di accesso t_A e di ciclo t_C sono pari a 250ns e 500ns, rispettivamente.

34

M. Sonza Reorda - a.a. 2001/2002

Intel 2186: architettura interna



35

M. Sonza Reorda - a.a. 2001/2002

Intel 2186: funzionamento

Ciclo di lettura:

- WE* viene posto a 1
- CE* viene posto a 0
- OE* viene posto a 0
- si testa RDY:
 - se RDY=1, sul data bus compare il contenuto della cella indirizzata dall'address bus entro un tempo t_A
 - se RDY=0, è necessario attendere il completamento di un ciclo di rinfresco, la cui durata è al più 64ms; al termine, RDY torna a 0 ed il ciclo di lettura viene completato.

36

M. Sonza Reorda - a.a. 2001/2002

Intel 2186: funzionamento (II)

Ciclo di scrittura:

- OE* viene posto a 1
- CE* viene posto a 0
- WE* viene posto a 0
- si testa RDY:
 - se RDY=1, sul fronte di discesa di WE* la cella indirizzata dall'address bus viene caricata con il valore presente sul data bus
 - se RDY=0, è necessario attendere il completamento di un ciclo di rinfresco, la cui durata è al più 64ms; al termine, RDY torna a 0 ed il ciclo di scrittura viene completato.

37

M. Sonza Reorda - a.a. 2001/2002

Esempio di RAM dinamica: Intel 51C256L

È una RAM dinamica da 256Kx1bit.

Internamente è organizzata come una matrice di 512x512 bit.

Per ridurre il numero di pin, l'indirizzo deve venire fornito in 2 fasi:

- nella prima si forniscono i segnali che vanno al *row decoder*, attivando il segnale RAS
- nella seconda si forniscono i segnali che vanno al *column decoder*, attivando il segnale CAS.

38

M. Sonza Reorda - a.a. 2001/2002